

PRESSEINFORMATION

pls02-2016-D

Optimierte Test- und Debugging-Umgebung:

PLS unterstützt mit der UDE 4.6.1 ab sofort auch den neuesten Power Architecture®-Mikrocontroller MPC5746R von NXP

Lauta, 18. April 2016 – Mit der Version 4.6.1 ihrer Universal Debug Engine (UDE) bietet PLS Programmierbare Logik & Systeme nun auch für das neueste Mitglied der Power Architecture® Familie von NXP - den High-End Multi-Core-Controller MPC5746R – eine speziell auf die spezifischen Merkmale des Bausteins abgestimmte optimierte Test- und Debugging-Umgebung an.

Beim MPC5746R handelt es sich um ein hochperformantes, speziell für den Einsatz in Motor- und Getriebesteuerungen sowie Industrieapplikationen optimiertes SoC, das dem Anwender umfangreiche Features für die Gewährleistung der funktionalen Sicherheit bis hin zu ASIL-D bereitstellt. Für anspruchsvolle Applikationen steht ein mit bis zu 200 MHz taktbares Dual-Core System mit zwei Power Architecture® z4 Cores sowie ein eTPU-Timer-System zur Verfügung. Der MPC5746R ist in verschiedenen Ausstattungsvarianten bezüglich Flash-Größe, Core-Konfiguration und Packaging verfügbar.

Mit der UDE 4.6.1 lassen sich die Chip-internen Debug-Funktionen des MPC5746R ohne jegliche Einschränkungen in vollem Umfang für Testaufgaben und Debugging nutzen. Als echter Multi-Core-Debugger erlaubt die UDE zudem die komplette Steuerung des MPC5746R in einer Oberfläche. Die Multi-Core-Run-Control-Funktion der UDE 4.6.1 ermöglicht unter Ausnutzung der auf dem Chip integrierten Debug-Logik ein nahezu synchrones Starten und Stoppen der beiden Cores. Darüber hinaus erleichtern in gemeinsam genutztem Code verwendbare Multi-Core-Breakpoints das Debuggen komplexer Applikationen. Der Breakpoint wirkt immer, unabhängig davon, welcher Core gerade den betreffenden Code ausführt. Frei konfigurierbare Perspektiven innerhalb der Benutzeroberfläche von UDE 4.6.1 helfen dem Entwickler darüber hinaus, den Überblick in einer Multi-Core-Applikation zu behalten.

Für System-Level-Analysen stellt die UDE 4.6.1 Trace-basierte Werkzeuge zur Verfügung, die auf den Nexus-Class-3-Trace des Bausteins aufsetzen. Damit lassen sich nicht nur Programmabläufe für etwaige Post-Mortem-Analysen aufzeichnen. Mit diesen Tools gewonnene Profiling-Informationen können

beispielsweise für Laufzeitoptimierungen herangezogen werden. Außerdem liefert die UDE 4.6.1 das erforderliche Code-Coverage für den Nachweis einer ausreichenden Testabdeckung.

Eine schnelle und zuverlässige Kommunikation der UDE 4.6.1 mit dem MPC5746R garantierten PLS' Universal Access Devices UAD2pro und UAD3+. Passend zur spezifischen OnCE-Debug-Schnittstelle der Power Architecture® stehen für beide Geräte entsprechende Adapter zur Verfügung, für anspruchsvolle Umgebungsbedingungen wahlweise auch mit zusätzlicher galvanischer Isolation. Während das UAD2pro für den Nexus-Trace ausschließlich auf den Chip-eigenen Trace-Speicher zurückgreift, um Trace-Daten vom MPC5746R abzugreifen, wird vom UAD3+ auch das AURORA-Interface unterstützt. Darüber lassen sich große Trace-Datenmengen mit bis zu 500 MByte/s Übertragungsgeschwindigkeit aus dem Chip auslesen, im UAD3+ speichern und anschließend durch die UDE 4.6.1 verarbeiten und analysieren. Dafür stehen beim UAD3+ im Gerät bis zu 4GByte Speicher zur Verfügung.

###

PLS Programmierbare Logik & Systeme

Die 1990 gegründete PLS Programmierbare Logik & Systeme GmbH mit Sitz in Lauta zählt mit ihren innovativen modularen Test- und Entwicklungstools seit über zwei Jahrzehnten zu den internationalen Technologieführern im Bereich Debugger, Emulatoren und Trace-Lösungen für 16- und 32-Bit-Mikrocontroller. Die Softwarearchitektur der Universal Debug Engine (UDE) garantiert optimale Voraussetzungen für das Debuggen SoC-basierter Systeme. So stehen zum Beispiel durch intelligente Nutzung moderner On-Chip-Debugging und -Trace-Einheiten wertvolle Funktionen zur Systemoptimierung wie Profiling und Code-Coverage zur Verfügung. Die zugehörige Gerätefamilie Universal Access Device (UAD2/UAD3+) bietet darüber hinaus mit Transferraten von bis zu 3,5 MByte/s und einer Vielzahl von Schnittstellen völlig neue Dimensionen beim schnellen und flexiblen Zugang zu Multi-Core-Systemen. Unterstützt werden wichtige Architekturen wie AURIX/TriCore, Power Architecture, Cortex/ARM, XC2000 / XE166, sowie Simulations-Plattformen verschiedener Hersteller. Weitere Informationen zum Unternehmen finden Sie unter www.pls-mc.com

Ansprechpartner für redaktionelle Fragen:

*PLS Programmierbare Logik & Systeme GmbH
Jens Braunes
Technologiepark
02991 Lauta
Tel: +49 35722/384-0
Fax: +49 35722/384-69
Email: jens.braunes@pls-mc.com*

*3W Media & Marketing Consulting
Werner W. Wiesmeier
Preisingerlohweg 2
85368 Moosburg/ Aich
Tel: +49 8761/759203
Fax: +49 8761/759201
Email: werner.wiesmeier@3wconsulting.de*