

PRESSEINFORMATION

pls05-2016-D

PLS' UDE 4.7 ermöglicht komplette Steuerung von bis zu sechs TriCore-Kernen unter einer Oberfläche

Optimiertes Debug-, Test- und Systemanalyse-Tool für Infineons neue AURIX™ TC3xx Multi-Core-Mikrocontroller-Familie

Lauta, 25. Oktober 2016 – Ein optimiertes Debug-, Test- und Systemanalyse-Tool, welches das die umfangreichen internen Debug-Funktionalitäten der neuen AURIX™ Multi-Core-Mikrocontroller-Familie TC3xx von Infineon ohne jegliche Einschränkungen unterstützt, präsentiert PLS Programmierbare Logik & Systeme auf der electronica in Halle A6, Stand A16 mit ihrer Universal Debug Engine (UDE) Version 4.7.

Speziell für den Einsatz in elektrisch betriebenen und/oder autonomen Fahrzeugen entwickelt, zeichnen sich die Multi-Core-SoCs der zweiten AURIX™-Generation gegenüber heutigen High-End-Automotive-Mikrocontrollern unter anderem durch ihre um bis zu 300 Prozent höhere Rechenleistung aus. Die MCUs der skalierbaren AURIX™ TC3xx-Familie können mit bis zu 16 MByte Embedded-Flashspeicher, über 6 MByte RAM und maximal sechs unabhängig voneinander arbeitende 32-Bit TriCore™-Prozessorkernen ausgestattet werden. Vier der sechs mit bis zu 300 MHz taktbaren TriCore-Kerne verfügen über einen zusätzlichen Lockstep-Kern. Damit stehen für das Design von Systemen mit dem höchsten Sicherheits-Level ASIL-D bis zu 2.400 DMIPS Rechenleistung zur Verfügung. Zu den weiteren Ausstattungsmerkmalen der TC3xx-Familie zählt neben einer Radar-Recheneinheit mit bis zu zwei Signal-Processing-Units auch ein Hardware Security Modul (HSM), das asymmetrische Verschlüsselungsmechanismen gemäß den EVITA „high“-Anforderungen beinhaltet. Für den Einsatz als Hostcontroller in Gateway- und Telematikanwendungen werden zudem eine Gigabit-Ethernet-Schnittstelle, bis zu 12 CAN-FD-Kanäle gemäß ISO 11898-1 und bis zu 24 LIN-Kanäle unterstützt.

Damit Entwickler diese enorme Komplexität und Leistungsfähigkeit in der Praxis tatsächlich auch voll nutzen können, erlaubt die UDE 4.7 als echter Multi-Core-Debugger die komplette Steuerung der einzelnen TriCore™-Prozessorkerne unter einer einzigen Oberfläche. Je nach Bedarf können die Cores entweder alle gemeinsam, in Gruppen oder auch nur einzeln durch traditionelles Run-Mode-Debugging, d.h. durch Breakpoints oder durch Single-Step-Betrieb, kontrolliert werden. Dabei ermöglicht die UDE unter

Ausnutzung der Chip-eigenen Debug-Logik ein nahezu synchrones Starten und Stoppen aller Cores. Darüber hinaus vereinfachen in gemeinsam genutztem Code verwendbare Multi-Core-Breakpoints das Debuggen komplexer Applikationen. Ein Multi-Core-Breakpoint wirkt immer, unabhängig davon, welcher Core gerade den betreffenden Code ausführt. Für den besseren Überblick in einer Multi-Core-Applikation sorgen frei konfigurierbare Perspektiven innerhalb der Benutzeroberfläche der UDE 4.7.

Zur weiteren Arbeitserleichterung bietet die UDE 4.7 eine Vielzahl von Möglichkeiten für die anschauliche Visualisierung von Systemzuständen zur Laufzeit – angefangen von der Darstellung sich im Speicher befindender Applikationsvariablen bis hin zur grafischen Darstellung von Systemwerten in Diagrammen.

Für umfangreiche System-Level-Analysen und die Gewährleistung der funktionalen Sicherheit stellt die UDE 4.7 darüber hinaus Trace-basierte Werkzeuge bereit, die auf dem Multi-Core Debug System (MCDS) der AURIX™ TC3xx-Familie aufsetzen. Das MCDS steht ausschließlich in den sogenannten Emulation Devices (ED) der TC39xx-Familie zur Verfügung. Mit besagten Trace-Werkzeugen lassen sich beispielsweise Programmabläufe für etwaige Post-Mortem-Analysen aufzeichnen, außerdem können mit diesen Tools gewonnene Profiling-Informationen für Laufzeitoptimierungen herangezogen werden. Ergänzend dazu liefert die UDE 4.7 das erforderliche Code-Coverage für den Nachweis einer ausreichenden Testabdeckung.

Eine enge Kopplung von Testtools Dritter an die UDE und ein umfangreiches Scripting ermöglicht die leistungsstarke, auf dem Microsoft® Common Object Model (COM) basierende Automatisierungsschnittstelle der UDE 4.7. Die Unabhängigkeit von proprietären Skriptsprachen ist dabei einzigartig.

Die Kommunikation mit den AURIX™ TC39xx-Mikrocontrollern erfolgt über die beiden Universal Access Devices UAD2pro bzw. UAD3+, wobei sowohl für die JTAG-Schnittstelle als auch für die Infineon-eigene DAP-Schnittstelle jeweils entsprechende Adapter zur Verfügung stehen; für anspruchsvolle Umgebungsbedingungen wahlweise sogar mit zusätzlicher galvanischer Isolation. Während das UAD2pro für den MCDS-Trace ausschließlich auf den Chip-eigenen Trace-Speicher zurückgreift, lassen sich über das AURORA-Interface des UAD3+ große Trace-Datenmengen mit bis zu 2,5 GBit/s Übertragungsgeschwindigkeit aus dem Chip auslesen, im UAD3+ speichern und anschließend durch die UDE 4.7 verarbeiten und analysieren. Dafür stehen im UAD3+ bis zu 4 GByte interner Speicher zur Verfügung.

###

PLS Programmierbare Logik & Systeme

Die 1990 gegründete PLS Programmierbare Logik & Systeme GmbH mit Sitz in Lauta (Deutschland) zählt mit ihren innovativen, modularen Test- und Entwicklungswerkzeugen zu den internationalen Technologieführern im Bereich

Debugger, Emulatoren und Trace-Lösungen für eingebettete Systeme. Die flexible Softwarearchitektur der Universal Debug Engine (UDE) garantiert optimale Voraussetzungen für das Debuggen SoC-basierter Systeme. Durch die intelligente Nutzung moderner On-Chip-Debug und -Trace-Einheiten stehen wertvolle Funktionen zur Systemoptimierung und Test wie Profiling und Code-Coverage zur Verfügung. Die zugehörige Gerätefamilie Universal Access Device (UAD2/UAD3+) bietet mit Transferraten von bis zu 3,5 MByte/s einen effizienten Zugang zum Target. Das flexible Adapterkonzept der UAD2/UAD3+ wird dabei den Anforderungen an die Unterstützung verschiedenster Target-Schnittstellen gerecht. Mit der technologieführenden Debug- und Testlösung von PLS werden völlig neue Dimensionen beim schnellen und flexiblen Zugang zu Multi-Core-Systemen eröffnet. Die UDE unterstützt dabei wichtige Architekturen wie AURIX/TriCore, PowerArchitecture, Cortex/ARM, SH-2A, XC2000/XE166 und C166/ST10 sowie Simulations-Plattformen verschiedener Hersteller. Weitere Informationen zum Unternehmen finden Sie unter www.pls-mc.com

Ansprechpartner für redaktionelle Fragen:

PLS Programmierbare Logik & Systeme GmbH

Jens Braunes

Technologiepark

02991 Lauta

Tel: +49 35722/384-0

Fax: +49 35722/384-69

Email: jens.braunes@pls-mc.com

3W Media & Marketing Consulting

Werner W. Wiesmeier

Preisingerlohweg 2

85368 Moosburg/ Aich

Tel: +49 8761/759203

Fax: +49 8761/759201

Email: werner.wiesmeier@3wconsulting.de