

PRESSEINFORMATION

pls01-2016-D

Erleichtert Anwendern die Entwicklung mit komplexen heterogenen High-End-SOCs:

PLS' UDE4.6 setzt erneut Maßstäbe hinsichtlich Trace-Funktionen, Multicore-Debugging und Testautomatisierung

Lauta, 12. Januar 2016 - Damit Anwender die enorme Leistungsfähigkeit neuester Multicore-SoC-Familien ohne jegliche Einschränkungen nutzen können, hat PLS Programmierbare Logik & Systeme die aktuellste Version ihrer Universal Debug Engine (UDE) nicht nur um etliche zusätzliche Trace- und Debugging-Funktionen, sondern auch um völlig neue Eigenschaften für die Testautomatisierung erweitert. Die erstmalig auf der embedded world 2016 in Halle 4. Stand 310 präsentierte UDE 4.6 unterstützt dabei eine Vielzahl unterschiedlichster Architekturen und neue Bausteinfamilien wie die Power Architecture-basierenden SPC58E-Serie und die mit einem ARM Cortex-M7 Core ausgestattete STM32F7-Familie von STMicroelectronics, den XMC4800-Baustein von Infineon, der als erster Mikrocontroller einen ARM Cortex-M4-Core mit EtherCAT auf einem Chip kombiniert, sowie die mit einem Dual-Core Cortex A9 und zusätzlichen FPGA ausgestattete Zynq-7000-Familie von Xilinx.

Der Universal Emulation Configurator (UEC) der UDE zur Definition von Trace-basierten Messaufgaben wurde um eine Bibliothek für das Mini-MCDS der aktuellen AURIX-Bausteine von Infineon erweitert. Damit steht ein Teil der Diagnosemöglichkeiten, die bislang nur spezielle Emulation-Devices boten, erstmals auch in den Serienchips zu Verfügung. Für die Nutzung dieses Features ist lediglich eine JTAG-Standard-Debug-Schnittstelle oder DAP am Target erforderlich.

Eine weitere wesentliche Neuerung: Der Support für die Virtualizer-Simulator-Plattform von Synopsys wurde bei der UDE 4.6. auf Mehrkernsysteme ausgeweitet. Damit kann die UDE auch als Frontend für Multicore-Simulationen basierend auf AURIX/TriCore-, PowerArchitecture- oder ARM-Core-Modellen verwendet werden.

Dank des neuartigen Ansatzes persistenter Trace-Ströme innerhalb der UDE ist nun außerdem ein Export von Trace-Daten sowie ihr späterer Import und eine Offline-Analyse ohne kostenintensive HiL-Target-Umgebung möglich. Die Verwaltung der verschiedenen Trace-Aufzeichnungen mit frei wählbaren

Bezeichnungen und exaktem Zeitstempel erfolgt direkt in der Debugger-Oberfläche. Smarte Filter-Funktionen für die Symbol- und Peripherieregister-Auswahl vereinfachen die Navigation auch in großen Applikationen und sehr komplexen SoCs.

Noch komfortabler und leistungsfähiger als bisher präsentiert sich auch die COM-basierte Softwareschnittstelle der UDE. So wurden unter anderem die Möglichkeiten für das Laden von Multicore-Applikationen sowie das Setzen von Breakpoints durch dritte Tools entscheidend erweitert bzw. vereinfacht. Zusätzliche komplett neue Funktionen gestatten nunmehr eine automatisch ablaufende Konfiguration, Ausführung und Dokumentation von Code-Coverage-Messungen sowohl durch eigene Makros als auch durch externe Tools. Dies unterstützt wirkungsvoll die Erstellung von Test-Workflows zur Sicherung der Softwarequalität entsprechend der ISO26262-Norm.

Die volle Cross-Debugger Funktionalität der UDE 4.6 steht als eigene Perspektive auch innerhalb von Eclipse-Umgebungen einschließlich der aktuellen Eclipse-Version 4.5 (Mars) und CDT 8.7 zur Verfügung.

###

PLS Programmierbare Logik & Systeme

Die 1990 gegründete PLS Programmierbare Logik & Systeme GmbH mit Sitz in Lauta zählt mit ihren innovativen modularen Test- und Entwicklungstools seit über zwei Jahrzehnten zu den internationalen Technologieführern im Bereich Debugger, Emulatoren und Trace-Lösungen für 16- und 32-Bit-Mikrocontroller. Die Softwarearchitektur der Universal Debug Engine (UDE) garantiert optimale Voraussetzungen für das Debuggen SoC-basierter Systeme. So stehen zum Beispiel durch intelligente Nutzung moderner On-Chip-Debugging und -Trace-Einheiten wertvolle Funktionen zur Systemoptimierung wie Profiling und Code-Coverage zur Verfügung. Die zugehörige Gerätefamilie Universal Access Device (UAD2/UAD3+) bietet darüber hinaus mit Transferraten von bis zu 3,5 MByte/s und einer Vielzahl von Schnittstellen völlig neue Dimensionen beim schnellen und flexiblen Zugang zu Multi-Core-Systemen. Unterstützt werden wichtige Architekturen wie AURIX/TriCore, Power Architecture, Cortex/ARM, XC2000 / XE166, sowie Simulations-Plattformen verschiedener Hersteller. Weitere Informationen zum Unternehmen finden Sie unter www.pls-mc.com

Ansprechpartner für redaktionelle Fragen:

*PLS Programmierbare Logik & Systeme GmbH
Heiko Riessland
Technologiepark
02991 Lauta
Tel: +49 35722/384-0
Fax: +49 35722/384-69
Email: heiko.riessland@pls-mc.com*

*3W Media & Marketing Consulting
Werner W. Wiesmeier
Preisingerlohweg 2
85368 Moosburg/ Aich
Tel: +49 8761/759203
Fax: +49 8761/759201
Email: werner.wiesmeier@3wconsulting.de*